

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-216642

(43)Date of publication of application : 04.08.2000

(51)Int.Cl. H03F 3/217
 H03K 7/08
 H05G 1/10
 // A61B 5/055

(21)Application number : 11-353559

(71)Applicant : SIEMENS AG

(22)Date of filing : 13.12.1999

(72)Inventor : LENZ HELMUT

(30)Priority

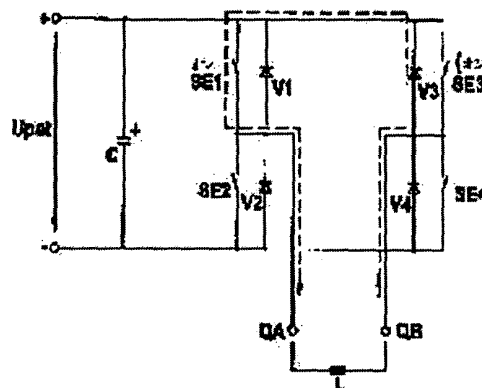
Priority number : 98 19857524 Priority date : 14.12.1998 Priority country : DE

(54) POWER AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately adjust a gradient amplifier of a nuclear spin tomograph, by giving a accurate end stage switching time interval to current flow which is generated in a induction load connecting with a out put of a power amplifier.

SOLUTION: In the power amplifier having a power bridge circuit including a predetermined number of switching elements SE1-SE4, at least a switching terminal stage E connected to an intermediate circuit with no voltage, and at least one digital pulse width modulator DPWM that generates pulse-width- modulated control signals S1-S4 to all the switching elements SE1-SE4 of the power bridge circuit receiving digital input signals IN, N-IN in order to produce at least one final stage voltage UE according to a final stage switching clock, pre-stage modulators PM1, PM2 to form the digital input signals IN, N-IN are connected before the digital pulse width modulator DPWM, and at least either of the digital input signals IN, N-IN includes an offset equivalent preferably to a half LSB.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-216642
(P2000-216642A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 3 F 3/217		H 0 3 F 3/217	
H 0 3 K 7/08		H 0 3 K 7/08	D
H 0 5 G 1/10		H 0 5 G 1/10	
// A 6 1 B 5/055		A 6 1 B 5/05	3 4 2

審査請求 未請求 請求項の数11 O L (全 18 頁)

(21) 出願番号 特願平11-353559
(22) 出願日 平成11年12月13日 (1999. 12. 13)
(31) 優先権主張番号 1 9 8 5 7 5 2 4. 6
(32) 優先日 平成10年12月14日 (1998. 12. 14)
(33) 優先権主張国 ドイツ (D E)

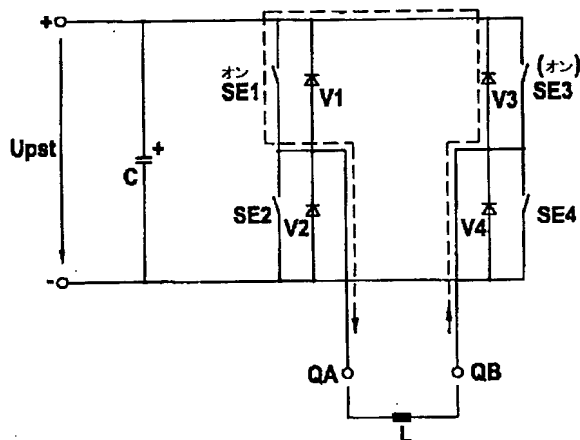
(71) 出願人 390039413
シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESSEL
LSCHAFT
ドイツ連邦共和国 D-80333 ミュンヘ
ン ヴィッテルスバッハープラッツ 2
(72) 発明者 ヘルムート レンツ
ドイツ連邦共和国 90522 オペラスバッ
ハ キルヒエンヴェーク 30
(74) 代理人 100075166
弁理士 山口 巖

(54) 【発明の名称】 電力増幅器

(57) 【要約】

【課題】 従来の技術による電力増幅器、特に核スピントモグラフの勾配増幅器の欠点を減ずる。

【解決手段】 その電力ブリッジ回路が予め定め得る数のスイッチング要素 S E 1 ないし S E 4 を有し、無電位の中間回路電圧に接続されている少なくとも1つのスイッチング終段 E と、終段スイッチングクロックに従って少なくとも1つの終段電圧 U E を発生するため、デジタルの入力信号 I N、N _ I N から電力ブリッジ回路のすべてのスイッチング要素 S E 1 ないし S E 4 に対するパルス幅変調された制御信号 S 1 ないし S 4 を発生する少なくとも1つのデジタルのパルス幅変調器 D P W M とを有する電力増幅器において、デジタルのパルス幅変調器 D P W M の前に、デジタルの入力信号 I N、N _ I N を形成するための前置変調器 P M 1、P M 2 が接続されており、その際デジタルの入力信号 I N、N _ I N の少なくとも1つが好ましくは半 L S B に相当するオフセットを含んでいる。



【特許請求の範囲】

【請求項1】 電力増幅器、特に核スピントモグラフィの勾配増幅器であって、

－その電力ブリッジ回路が予め定める数のスイッチング要素（SE1ないしSE4）を有し、無電位の中間回路電圧に接続されている少なくとも1つのスイッチング終段（E）と、

－終段スイッチングクロックに従って少なくとも1つの終段電圧（ U_E ）を発生するため、デジタルの入力信号（IN、N_IN）から電力ブリッジ回路の全てのスイッチング要素（SE1ないしSE4）に対するパルス幅変調された制御信号（S1ないしS4）を発生する少なくとも1つのデジタルのパルス幅変調器（DPWM）とを有する電力増幅器において、デジタルのパルス幅変調器（DPWM）の前にデジタルの入力信号（IN、N_IN）を形成するための前置変調器（PM1、PM2）が接続されており、その際にデジタルの入力信号（IN、N_IN）の少なくとも1つが好ましくは半LSBに相当するオフセットを含んでいることを特徴とする電力増幅器。

【請求項2】 前置変調器が、

－アナログの入力信号（N_IN_ana）から反転されたデジタルの入力信号（N_IN）を形成する第1のアナログ-デジタル変換器（ADC1）と、

－アナログの入力信号（IN_ana）からデジタルの入力信号（IN）を形成する第2のアナログ-デジタル変換器（ADC2）とを含んでおり、

－両方のアナログ-デジタル変換器（ADC1、ADC2）が基準電位（接地）に比べてオフセットシフトを有し、オフセットシフトの和の大きさが好ましくは半LSBであることを特徴とする請求項1記載の電力増幅器。

【請求項3】 前置変調器（PM1）が構成要素として、

－アナログの入力信号（IN_ana）およびディザ信号（Udith）からアナログの和入力信号（IN_anasu）を形成する第1の加算器（30）と、

－アナログの和入力信号（IN_anasu）から反転されたアナログの入力信号（IN_ana1）を形成するインバータ（35）と、

－反転されたアナログの入力信号（IN_ana1）および好ましくは半LSBの大きさであるオフセット信号（Uoffset）から反転されたアナログの和入力信号（IN_anasu1）を形成する第2の加算器（40）と、

－アナログの和入力信号（IN_anasu）からデジタルの入力信号（IN）を形成する第1のアナログ-デジタル変換器（ADC1）と、

－反転されたアナログの和入力信号（IN_anasu1）から反転されたデジタルの入力信号（N_IN

1）を形成する第2のアナログ-デジタル変換器（ADC2）とを含んでいることを特徴とする請求項1記載の電力増幅器。

【請求項4】 前置変調器（PM2）が構成要素として、

－アナログの入力信号（IN_ana）およびディザ信号（Udith）からアナログの和入力信号（IN_anasu）を形成する第1の加算器（45）と、

－アナログの和入力信号（IN_anasu）から反転されたアナログの入力信号（IN_ana2）を形成するインバータ（50）と、

－反転されたアナログの入力信号（IN_ana2）、ディザ信号（Udith）および好ましくは半LSBの大きさであるオフセット信号（Uoffset）から反転されたアナログの和入力信号（IN_anasu2）を形成する第2の加算器（55）と、

－アナログの和入力信号（IN_anasu）からデジタルの入力信号（IN）を形成する第1のアナログ-デジタル変換器（ADC1）と、

－反転されたアナログの和入力信号（IN_anasu2）から反転されたデジタルの入力信号（N_IN2）を形成する第2のアナログ-デジタル変換器（ADC2）とを含んでいることを特徴とする請求項1記載の電力増幅器。

【請求項5】 前置変調器がデジタルのパルス幅変調器（DPWM）をデジタルに駆動する信号プロセッサとして構成されており、その際に信号プロセッサの計算分解能がデジタルのパルス幅変調器（DPWM）のビット分解能よりも高く、また加算により計算された和信号（IN_SU_re）が信号プロセッサにより計算されたパルス幅変調に対する目標値（IN_re）と第1のオフセット信号（O1）とから形成され、また加算により反転され、計算された和信号（N_IN_SU_re）が反転された目標値（N_IN_re）と第2のオフセット信号（O2）とから形成され、その際に両方のオフセット信号（O1、O2）が、両方のオフセット信号（O1、O2）の和の大きさが好ましくはデジタルのパルス幅変調器（DPWM）の半LSBを生ずるよう選ばれており、その際に、全てのビットが1であるときに、計算された和信号の最大値が到達されており、また計算された和信号（IN_SU_re）の上位のビットがデジタルのパルス幅変調器（DPWM）に対するデジタルの入力信号（IN）を、また反転され、計算された和信号（N_IN_SU_re）の上位のビットがデジタルのパルス幅変調器（DPWM）に対する反転されたデジタルの入力信号（N_IN）を形成することを特徴とする請求項1記載の電力増幅器。

【請求項6】 加算により計算された和信号（IN_SU_re）が計算された目標値（IN_re）と、第1のオフセット信号（O1）と、計算されたディザ関数

(D)とから形成され、また加算により計算された和信号(N_INSU_re)が、反転された目標値(N_IN_re)と、第2のオフセット信号(O2)とから計算されたディザ関数(D)を差し引いて形成され、その際に両方のオフセット信号(O1、O2)が、両方のオフセット信号(O1、O2)の和の大きさが好ましくはデジタルのパルス幅変調器(DPWM)の半LSBを生ずるように選ばれていることを特徴とする請求項5記載の電力増幅器。

【請求項7】 加算により計算された和信号(IN_SU_re)が、計算された目標値(IN_re)と、第1のオフセット信号(O1)と、計算されたディザ関数(D)とから形成され、また加算により反転され、計算された和信号(N_IN_SU_re)が、反転された目標値(N_IN_re)と、第2のオフセット信号(O2)と、計算されたディザ関数(D)とから形成され、その際に両方のオフセット信号(O1、O2)が、両方のオフセット信号(O1、O2)の和の大きさが好ましくはデジタルのパルス幅変調器(DPWM)の半LSBを生ずるように選ばれていることを特徴とする請求項5記載の電力増幅器。

【請求項8】 少なくとも2つのスイッチング終段(E1ないしEk)が出力側で、電力増幅器に対して終段電圧(U_elないしU_ek)の和に相当する出力電圧(UA)が生ずるように直列に接続されていることを特徴とする請求項1記載の電力増幅器。

【請求項9】 スwitching終段(E1ないしEk)の数が奇数であることを特徴とする請求項8記載の電力増幅器。

【請求項10】 スwitching終段(E1ないしEk)が等しい割合でかつ(または)対称な方法で出力電圧(UA)に寄与することを特徴とする請求項8または9記載の電力増幅器。

【請求項11】 各々のスイッチング終段(E1ないしEk)において終段スイッチングクロックの各々のサイクルの中で第1の対角線作動、下側フリーホイーリング作動、第2の対角線作動および上側フリーホイーリング作動が行われることを特徴とする請求項8ないし10の1つに記載の電力増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力増幅器であって、その電力ブリッジ回路が予め定める数のスイッチング要素を有し、無電位の中間回路電圧に接続されている少なくとも1つのスイッチング終段と、終段スイッチングクロックに従って少なくとも1つの終段電圧を発生するため、デジタルの入力信号から電力ブリッジ回路の全てのスイッチング要素に対するパルス幅変調された制御信号を発生する少なくとも1つのデジタルのパルス幅変調器とを有する電力増幅器に関する。

【0002】このような電力増幅器では、高い電力が非常に正確に調節されなければならない。このことは、特に核スピントモグラフィ装置中の勾配増幅器に当てはまる。しかし本発明は、例えばX線装置の誘導式加熱装置においても、または電動機の駆動制御のためにも使用可能である。

【0003】勾配増幅器の前記の応用の際には300A程度の電流を流す際に、±300V程度の交流電圧が電力ブリッジ回路により発生される。電力増幅器は、3つの勾配コイルの各々に対する電流の流れがmA範囲内で設定可能であるような高い精度を有していなければならない。従って、終段スイッチングクロックにより決定される電力ブリッジ回路中のスイッチング要素のスイッチオン位相は、それらの各継続時間に関して本質的に連続的に変更可能でなければならない。この理由から勾配増幅器のパルス幅変調器はこれまで純粋にアナログに構成されており、それによって例えば電力用トランジスタであってよいスイッチング要素のスイッチング時点が任意に細かく制御されていた。

【0004】特に多くのスイッチング終段を有する電力増幅器は、アナログのパルス幅変調器の相応の数に基づいて、高い構成要素費用ならびに相応に高価な配線を必要とする。なぜならば、この場合には多くの位相シフトされた三角波状の電圧が必要とされるからである。必要な構成要素の数が多いため、公知の電力増幅器においては相応に大きい組立体積ならびに相応に高い製造コストを生じていた。

【0005】ドイツ特許第197 09 767号明細書には、多くのスイッチング終段を有する前記の電力増幅器に対して、パルス幅変調された制御信号を周期的にスイッチング終段の間で交換する方法が記載されている。それにより、例えば負荷に戻し供給するエネルギーの全てのスイッチング終段への良好な分配が、特に放電またはエネルギー分配装置をスイッチング終段の間に必要とせずに行われる。

【0006】冒頭に記載されている種類の電力増幅器は、例えば米国特許第4673887号明細書に記載されている。その際にデジタルのパルス幅変調器が、パルス幅変調された制御信号を発生するための中央のモジュールとして、クロック発生器、クロック分配器ならびに少なくとも1つのシフトレジスタを含んでいる。クロック分配器は、クロック発生器のクロック信号からシフトレジスタに供給されるオン・オフパルス列を発生する。シフトレジスタはその際に、オン・オフパルス列の位相シフトが可能であるように構成されている。位相シフトされたオン・オフパルス列と位相シフトされないオン・オフパルス列との論理的結び付きから最後にパルス幅変調された制御信号が形成される。デジタルのパルス幅変調器の制御は、例えばシフトレジスタに供給されるデジタルの入力信号を介して行われる。その際にデ

ィジタルの入力信号は、ィジタルのバルス幅変調器の前に接続されているアナログ-ィジタル変換器によりアナログの入力信号から形成される。

【0007】前記の電力増幅器は、増幅器出力電圧の分解能への変化可能な要求に関してフレキシブルでない。より強く分解可能な増幅器出力電圧は、ィジタルのバルス幅変調器、特により大きいビット幅のシフトレジスタを必要とすると共に、より大きいビット幅のアナログ-ィジタル変換器をも必要とする。特により大きいビット幅のシフトレジスタの使用は、バルス幅変調器全体の高い費用のかかる変更を要件としており、さらに相応に高い費用を必要とする。

【0008】

【発明が解決しようとする課題】従って、本発明の課題は、冒頭に記載されている種類の電力増幅器であって、従来の技術の前記の欠点が減ぜられている電力増幅器を提供することである。

【0009】

【課題を解決するための手段】この課題は、本発明によれば、請求項1による電力増幅器により解決される。本発明の有利な実施例はそれぞれ従属請求項の対象である。

【0010】請求項1による電力増幅器において、ィジタルのバルス幅変調器のスイッチング挙動は、アナログのバルス幅変調器のスイッチング挙動を模擬している。これに伴い発生される終段電圧は、それによって少なくともほぼアナログな経過、すなわちアナログな経過またはほぼアナログな経過を示す。

【0011】本発明によれば、ィジタルのバルス幅変調器の前に前置変調器が接続されており、それに先ずィジタルのバルス幅変調器に対し、予め定めた数の入力信号が供給可能である。前置変調器の中で形成された出力信号は、続いてィジタルのバルス幅変調器に入力信号として供給される。

【0012】前置変調器の使用により、バルス幅変調された制御信号の分解能が大幅に改善される。それによって本発明による電力増幅器は、電力増幅器の出力端に接続されている誘導性の負荷の中に発生される電流の流れが高い精度を有するように、正確な終段スイッチング時間間隔を与える。本発明による電力増幅器はこうして理想的な方法で核スピントモグラフィ装置の勾配コイルに

【0013】本発明による電力増幅器に使用されるィジタルのバルス幅変調器は、アナログのバルス幅変調器に比べて本質的に小さい組立体積を有する。それに伴い、請求項1による電力増幅器はわずかな組立空間しか必要としない。

【0014】請求項3ないし5の1つによる有利な実施例では、本発明の範囲内で、プッシュプルディザリングまたは同相ディザリングにより、ィジタルのバルス幅

変調器の出力電圧の分解能を高くすることが可能である。

【0015】本発明の好ましい実施例によれば、出力側で少なくとも2つのスイッチング終段が、電力増幅器に対して終段電圧の和に相当する出力電圧が生ずるよう直列に接続されている。この場合、別の変形例によれば、全てのスイッチング終段を、互いにずらしたスイッチング信号により駆動することが可能である。これらの措置により最大の出力電圧も、有効なスイッチング周波数も、一般にスイッチング終段の数に相当する係数だけ何倍にもなる。

【0016】多くのスイッチング終段の使用により、価格対性能比がさらに改善する。なぜならば、コストの点で望ましいィジタルのバルス幅変調器に追加的に、電力増幅器を構成する個々のスイッチング終段が特に高い要求を満足しなくてよく、従ってまた単一の高電力増幅器に比べて比例関係以上にコストの点で望ましいからである。それによって、経済的な、しかしスイッチングが比較的遅い電力トランジスタ（例えばIGBT、絶縁ゲートバイポーラトランジスタ）の利点も利用される。さらに個々のスイッチング終段の低いスイッチング周波数により損失が明らかに小さくなる。

【0017】好ましい実施例では奇数のスイッチング終段が設けられている。終段スイッチングサイクル信号の位相角は好ましくは $360^\circ/k$ であり、その際にkはスイッチング終段の数である。

【0018】好ましくは個々のスイッチング終段への全負荷の均等な分配が行われる。スイッチング終段は特に等しい割合でおよび／または対称な方法で電力増幅器の出力電圧に寄与する。例えばスイッチング終段は、それらが等しい幅の電圧パルスを供給するように駆動される。

【0019】2000Vの出力電圧の際には、例えば5つの等しい形式のスイッチング終段の場合、それぞれ400Vの電圧ストローク、従ってまた2000Vの最大の出力電圧にもかかわらず電力増幅器の出力端におけるより小さいリップルが得られる。

【0020】本発明による電力増幅器の好ましい実施例によれば、各々のスイッチング終段において、終段スイッチングサイクルの各時間間隔の中で、各1回のフリーホイーリング作動から隔てられている2つの電圧パルスが発生される。両方の電圧パルスは電力ブリッジ回路の各対角線作動に相当し、また両方のフリーホイーリング作動は、負荷電流が妨げられずに電力ブリッジ回路を流れる電力ブリッジ回路の各状態に相当する。

【0021】

【実施例】本発明の好ましい実施例を、概要図面を参照して以下に説明する。

【0022】図1中に示されているスイッチング終段Eは、無電位の（浮動している）供給電圧 U_{ps} に接続

された電力ブリッジ回路を含んでいる。この電力ブリッジ回路は、Hブリッジとして配置された4つのスイッチング要素SE1ないしSE4を有し、これらのスイッチング要素は、デジタルのパルス幅変調器DPWM(図13)の各パルス幅変調された制御信号に応答する。スイッチング要素SE1ないしSE4は、例えばMOSFETトランジスタとしてまたはフリーホイーリングダイオードを有するバイポーラトランジスタとして構成されている。各2つのスイッチング要素、SE1およびSE3またはSE2およびSE4は、供給電圧 U_{pst} の正または負の端子と接続されている。ブリッジ枝路の中に配置された各2つのスイッチング要素(SE1およびSE2またはSE3およびSE4)の残りの端子は、対として互いにそしてさらに各接続線1および2と接続されている。接続線1はスイッチング終段Eの出力端QAに、それに対して接続線2はスイッチング終段Eの出力端QBに通じている。スイッチング要素SE1ないしSE4に対して逆並列に、それぞれフリーホイーリングダイオードV1ないしV4が配置されている。コンデンサCは、無電位の供給電圧 U_{pst} をバッファする役割を果たしており、それにより電力ブリッジ回路に中間回路電圧が与えられる。

【0023】スイッチング終段Eの出力端QAおよびQBは本質的に誘導性の負荷L、例えば勾配コイルと接続されている(図2ないし5および図7ないし10参照)。

【0024】電流の立ち上がりおよび電流の保持のために、図1によるスイッチング終段Eのスイッチング要素SE1ないしSE4は、図2ないし5中に示すスイッチング状態をとる。出力端QAから誘導性の負荷Lを経て出力端QBへ絶えず流れる電流は、図2ないし5中に破線により示されている。

【0025】図2中で、スイッチング要素SE1ないしSE4は閉じられており、電流は正の供給電圧側からスイッチング要素SE1を経て誘導性の負荷Lの中に、またスイッチング要素SE4を経て供給電圧 U_{pst} の負の端子へ流れる。中間回路(コンデンサC)からエネルギーが取り出される。スイッチング終段Eの出力端QAはスイッチング終段Eの出力端QBに比べて正である。スイッチング終段Eはそれによって“第1の対角線作動”に位置している。

【0026】図3によるスイッチング状態では、スイッチング要素SE4は閉じられており、それに対しスイッチング要素SE2は、スイッチオンされていてもスイッチオフされていてもよい。電流はスイッチング終段Eの中を、出力端QBからスイッチング要素SE4およびフリーホイーリングダイオードV2を経てスイッチング終段Eの出力端QAへ流れる。スイッチング要素SE2がMOSFETであり、そしてこれがスイッチオンされている場合には、スイッチング要素SE2はフリーホイー

リングダイオードV2のダイオード電流の一部分を引き受ける。スイッチング終段Eの出力端QBは、そのとき出力端QAに対し最小に正である。スイッチング終段Eの図3中に示されているスイッチング状態は、“下側のフリーホイーリング作動”と呼ばれる。

【0027】図4中に示されているスイッチング要素SE1ないしSE4の位置は、図2中のスイッチング要素SE1ないしSE4の位置に相当し、従って再び“第1の対角線作動”と呼ばれる。

【0028】図5中に示されているスイッチング要素SE1ないしSE4の位置では、スイッチング要素SE1はスイッチオンされており、スイッチング要素SE3はスイッチオンされていてもよいが、スイッチオンされていなくてもよく、またスイッチング要素SE2およびSE4は開かれている。電流はスイッチング終段Eの中を、出力端QBからフリーホイーリングダイオードV3およびスイッチング要素SE1を経てスイッチング終段Eの出力端QAへ流れる。スイッチング要素SE3がMOSFETである場合には、スイッチング要素SE2はフリーホイーリングダイオードV3のダイオード電流の一部分を引き受ける。図5中に示されているスイッチング状態は、“上側のフリーホイーリング作動”と呼ばれる。

【0029】図6には、図2ないし図5中に示されているスイッチング終段Eの作動状態に対してデジタルのパルス幅変調器DPWMが、スイッチング要素SE1ないしSE4を駆動するパルス幅変調された制御信号S1ないしS4が示されている。終段電圧 U_E (スイッチング終段Eの出力端QAとQBとの間の電圧)は図6中に下側に示されている。スイッチング要素SE1ないしSE4の駆動中の短い時間的なずれは安全時間 t_s を示す。なぜならば、スイッチング要素SE1およびSE2またはSE3およびSE4は、決して同時にスイッチオンされてはならないからである。図中の文字aは図2、bは図3、cは図4そしてdは図5に示す作動状態にそれぞれ対応している。

【0030】図7ないし10中には、逆電圧による誘導性負荷L(勾配コイル)中の電流立ち上がり時の、図1中に示されているスイッチング終段Eのスイッチング状態が示されている。その際にエネルギーは勾配コイルLから中間回路(コンデンサC)の中に戻される。電流の流れは再び破線で示されている。

【0031】図7中に示す電流の流れは、スイッチング要素SE1ないしSE4が開いているときに得られる。スイッチング要素SE2およびSE3は閉じていてもよいが、閉じていなくてもよい。電流は負の供給電圧側からフリーホイーリングダイオードV2を経て誘導性の負荷Lの中に、またスイッチング終段Eの出力端QBからフリーホイーリングダイオードV3を経て供給電圧 U_{pst} の正の端子へ流れる。それによってエネルギーが中

間回路(コンデンサC)の中に逆供給される。スイッチング終段Eの出力端QBは、スイッチング終段Eの出力端QAに比べて正である。

【0032】図8においてスイッチング要素SE4は閉じられ、従ってこれに伴いスイッチオンされているが、スイッチング要素SE2はスイッチオンされていても、スイッチオンされていなくてもよい。スイッチング要素SE1およびSE3は開かれている。それによって電流はスイッチング終段Eの出力端QBからスイッチング要素SE4およびフリーホイーリングダイオードV2を経てスイッチング終段Eの出力端QAへ流れる(下側のフリーホイーリング作動)。

【0033】図9中に示されているスイッチング終段Eのスイッチング状態は、図7中に示されているスイッチング状態に相当する。

【0034】図10中に示す電流の流れは、スイッチング要素SE1が閉じられ、またスイッチング要素SE2およびSE4が開かれることにより達成される。スイッチング要素SE3は閉じられてもよいが、閉じられなくてもよい。電流はそれによってスイッチング終段Eの出力端QBから、フリーホイーリングダイオードV3およびスイッチング要素SE1を経て、スイッチング終段Eの出力端QAへ戻る(上側のフリーホイーリング作動)。

【0035】スイッチング要素SE1ないしSE4の図7ないし10中に示すスイッチング状態は、図11中に示すパルス幅変調された制御信号S1ないしS4により達成され、その際に図11中の下側に示す終段電圧 U_e (スイッチング終段Eの出力端QAとQBとの間の電圧)が生ずる。スイッチング要素SE1およびSE4のスイッチオン継続時間は、ここでは図6中に示すスイッチオン継続時間よりも短い。その結果この例では、電力ブリッジ回路の全てのスイッチング要素SE1ないしSE4に対するパルス幅変調された制御信号S1ないしS4を発生するデジタルのパルス幅変調器DPWMの入力信号は一層小さくなるであろう。

【0036】電流方向の反転を伴わないスイッチング状態は図示していない。それは意味に則して図2~6および図7~11に相当し、その際にスイッチング要素SE1はスイッチング要素SE3と、またスイッチング要素SE2はスイッチング要素SE4と相互に交換される。

【0037】図2~6ならびに図7~11中に示す変調器は、図示しない公知の変調器に比べて本質的に有利である。この公知のより簡単な変調器では、スイッチング要素SE1およびSE4が、またその後にはスイッチング要素SE2およびSE3が続けてスイッチオンされる。上側のフリーホイーリング作動および下側のフリーホイーリング作動が欠けていることにより、絶え間なく全終段電圧 U_e (スイッチング終段Eの出力電圧)が誘導性負荷Lにかかっており、このことは非常に高い電流リッ

ブルに通ずる。

【0038】図12中には、この実施例では5つのスイッチング終段E1ないしE5の直列回路(カスケード回路)が示されている。各々のスイッチング終段E1ないしE5は、それぞれ無電位の供給電圧 U_{pst1} ないし U_{pst5} により給電される。5つのスイッチング終段E1ないしE5は同一に構成されており、また図1で説明したスイッチング終段Eに相当する。スイッチング終段E1ないしE5に対するパルス幅変調された制御信号S1ないしS4(デジタルのパルス幅変調器DPWMの出力信号)は、図6および11からのパルス幅変調された制御信号S1ないしS4に相当する。各々のスイッチング終段E1ないしE5に対するパルス幅変調された制御信号S1ないしS4は、 360° のスイッチング周期の際、互いにそれぞれ $360^\circ/5=72^\circ$ だけずらされている(位相ずれ)。電力増幅器の出力電圧 U_A は、これに伴い終段電圧 U_{e1} ないし U_{e5} の和である。

【0039】本発明によるデジタルのパルス幅変調器DPWMの、図13中に原理図で示す実施例は、入力信号INから5つのスイッチング終段E1ないしE5に対し、それぞれスイッチング要素SE1ないしSE4に対して必要となるパルス幅変調された制御信号S1ないしS4を発生する。記号ES32は、例えばデジタルのパルス幅変調器DPWMの出力端に、スイッチング終段E3の中のスイッチング要素SE2に対するパルス幅変調された制御信号S2が出力されることを意味する。同様に、例えば記号E1S4は、この出力端を介してスイッチング終段E1のスイッチング要素SE4が、そのパルス幅変調された制御信号S4により駆動されることを意味する。

【0040】入力信号INを求めるためデジタルのパルス幅変調器DPWMは、A-D変換器クロックCLK-Wを発生する。

【0041】入力信号INに対しては、その値の範囲中の下限値に対してパルス幅がスイッチング周期の零%であり、それに対してその値範囲の上限値ではパルス幅が100%であるとされている。入力信号INは、その際、例えばデジタルの調節器からのデジタルのワードであってよく、またはアナログデジタル変換器を介してデジタルの値に変換されるアナログの調節または制御信号であってよい。

【0042】入力信号INは多ビット幅であり、そしてデジタルのパルス幅変調器DPWMのパルス幅変調された制御信号S1ないしS4を決定する。

【0043】図13中に示すデジタルのパルス幅変調器DPWMでは、選択肢として、それぞれ所与の電流方向の際に電流を導くために必要でないスイッチング要素SE1ないしSE4はスイッチオンされない、すなわち開かれた状態にとどまることが考慮に入れられる。図2~5ならびに図7~10中で定義された電流方向の際に

は、これらは常にスイッチング要素SE2ないしSE3である。このことは入力側でデジタルのバルス幅変調器に供給可能な両方のスイッチオフ信号SE1SE4OFFおよびSE2SE3OFFにより考慮に入れられる。すなわちスイッチオフ信号SE1SE4OFFがデジタルのバルス幅変調器DPWMに供給されると、スイッチング要素SE1ないしSE4はそれらの開かれた位置にロックされ、それに対してスイッチオフ信号SE2SE3OFFを供給されると、両方のスイッチング要素SE2およびSE3は開かれた状態をとり続ける。スイッチオフ信号SE1SE4OFFおよびSE2SE3OFFは図示の実施例ではHIGH信号である。

【0044】図13中に示す5つのスイッチング終段E1ないしE5の直列回路において望まれる位相ずれは、図13によるデジタルのバルス幅変調器DPWMにおいて、位相信号PHASEにより考慮に入れられる。

【0045】信号SAFEは安全時間 t_s を決定する。信号MOD_ONはデジタルのバルス幅変調器DPWMの出力端を開放する。スイッチオフ信号SOFTSTOPはフリーホイーリング回路の駆動による終段電圧 U_{e1} ないし U_{e5} のスイッチオフ、従ってまた電力増幅器の出力電圧 U_a のソフトスイッチオフの結果としてもたす。それにより過度に強い磁界変化による患者における神経刺激が確実に防止される。

【0046】図6および11中に示されている安全時間 t_s を無視すると、スイッチング要素SE2の駆動はスイッチング要素SE2の駆動に対して逆となり、そしてスイッチング要素SE4の駆動は、スイッチング要素SE3の駆動に対して逆となる。入力信号の増大の際にスイッチング要素SE1のスイッチオン継続時間が増大するのと同じ程度に、スイッチング要素SE3のスイッチオン継続時間は減少する。スイッチング要素SE3の挙動は、こうして逆の入力信号によるスイッチング要素SE1のスイッチング挙動に相当する。簡単な変調器基本要素に対しては、こうしてスイッチング要素SE1のバルス幅変調を発生すれば十分である。

【0047】図14中には、3ビット幅を有する変調器基本要素9が示されている。それはクロック発生器4からクロック信号CLKを供給され、また自立的にアップおよびダウンカウントする、すなわち“000”から“111”へ向けて、また“111”から再び“000”へ向けてカウントする3ビットカウンタ5から成っている。入力信号INは同じく3ビットの幅を有する。値I0、I1、I2をとり得る入力信号INと、値Z0、Z1、Z2をとり得るカウンタ状態Zとは、第1のコンパレータ61に供給され、またこれにより互いに比較される。第1のコンパレータ61は2つの出力端I>ZおよびI<Zを有する。入力信号INがカウンタ状態Zよりも大きいならば、出力端I>Zが“HIGH”にセットされる。入力信号INがカウンタ状態Zよりも小

さいならば、出力端I<Zが“LOW”にセットされる。両方のコンパレータ信号I>ZおよびI<Zは、第1のフリップフロップ71に供給され、その出力端QFFはクロック信号CLKの正のエッジの際にコンパレータ信号I>Zにより“HIGH”に、またコンパレータ信号I<Zにより“LOW”にセットされる。第1のフリップフロップ71の両方の入力端におけるLOWレベルはメモリ状態である。カウンタ5は、最初には使用されない機能として出力端NULLを有し、この出力端NULLは、カウンタ状態Zが“000”であり、カウンタ5がアップカウントし、そしてクロック信号CLKがまさにHIGHであるときにHIGHにセットされる。カウンタ5はさらにプリロード入力端PRと、プリロードデータPR2（最上位ビットMSB）およびPRIならびにPR0を有する位相信号（デジタルワード“PHASE”）に対する3ビットデータ入力端とを有する。プリロード入力端がHIGHにあると、新しいカウンタ状態Zとしてプリロードデータがとられ、またカウンタ5が“アップ”方向（“カウントアップ”）におかれる。

【0048】値N_I0、N_I1、N_I2をとり得る反転された入力信号N_INは、カウンタ状態Zと共に第2のコンパレータ62に供給され、その出力端が第2のフリップフロップ72を往復スイッチングする。第1のフリップフロップ71の出力端はスイッチング要素SE1の駆動（出力信号S1_MOD）に相当しており、スイッチング要素SE2の駆動はそれに対して反転されている（出力信号S2_MOD）。第2のフリップフロップ72の出力端は、スイッチング要素SE3の駆動（出力信号S3_MOD）に相当する。スイッチング要素SE4の駆動はそれに対して反転されている（反転された出力信号S4_MOD）。追加“MOD”は、それが変調器基本要素9の出力信号であることを明らかにする。安全時間 t_s はなお存在しない。

【0049】図6の記述の中で説明したように、入力信号INに関して、スイッチング要素SE2およびSE3から発生されるバルス幅は、スイッチング要素SE1およびSE4から発生されるバルス幅と逆比例的に振舞う。最大の入力信号INの際にスイッチング要素SE1およびSE4が定常的に閉じられているならば、スイッチング要素SE2およびSE3は定常的に開かれていなければならない。入力信号INがその値の範囲の中央にあるならば、スイッチング要素SE1およびSE4は同時に閉じられていてはならないが、スイッチング要素SE1およびSE3は同時に閉じられていなければならない。同じくスイッチング要素SE2およびSE3は同時に閉じられていなければならない。スイッチング要素SE4の駆動はスイッチング要素SE1の駆動に相当するが、それは終段スイッチングサイクルの半分だけずらされる。同じことがスイッチング要素SE2およびSE3

に対しても当てはまる。

【0050】このスイッチングの挙動は、それに伴い、カウンタ状態Zもしくは入力信号INを反転することによって達成される。カウンタ5は最も高いクロックレートで動作するので、図16、17中に示されているように、入力信号INをワードNIN（反転された入力信号）に反転するのがより有利である。

【0051】図15は、図14による変調器基本要素9のパルスダイアグラムを示す。カウンタ状態Zの中に、コンパレータ閾値として、入力信号IN（値“101”）とならんでいま反転された入力信号N_INも登録されている（値“101”）。第2のコンパレータ62の信号は、カウンタ状態Zと反転された入力信号N_INとの比較に相当する。信号S1_MODないしS4_MODは、第1のフリップフロップ71または第2のフリップフロップ72の出力端に生ずる変調器基本要素9の出力信号である。

【0052】各々のスイッチング終段E1ないしE5を保護するため、一般に駆動の際に安全時間 t_s を守ることが必要である。そのために全てのスイッチング終段E1ないしE5において各々のスイッチング要素SE1ないしSE4をスイッチオンするための駆動は遅らされるが、スイッチオフするための駆動は遅らされない。

【0053】デジタルの入力信号INならびに反転されたデジタルの入力信号N_INは、パルス幅変調された制御信号S1ないしS4のパルス幅に対する尺度である。デジタルの設定の場合には、データ切り換えが偶然にクロックエッジの間に行われないうように、データの“同期化”が必要である。同期化は入力メモリの中にデータを受け入れることにより行われる。入力メモリは、入力データが安定であり、かつ適当なクロックエッジが存在しているときに書き込まれる。

【0054】パルス幅がアナログに予め定められるならば、これらはアナログ-デジタル変換器（ADC）によりデジタルのワードINまたはN_INに変換され*

$$\begin{aligned} dU_{min} &= k \cdot 2 \cdot U_{pst} / 2^n = 1000V / 1024 \\ &= 0.9766V \end{aligned}$$

である。

【0060】 $k=5$ の終段の直列回路の際には、分解能※

$$\begin{aligned} dU_{min} &= k \cdot 2 \cdot U_{pst} / 2^n = 5 \cdot 2 \cdot U_{pst} / 2^n \\ &= 5000V / 1024 = 4.883V \end{aligned}$$

が当てはまる。

【0061】誘導性の負荷Lが約0.1Ωの抵抗しか有していない勾配コイルである場合には、この場合に約49Aの直流電流跳躍が生ずるが、mA範囲内の分解能が不可欠であろう。

【0062】デジタルのパルス幅変調器において、mA範囲内の必要とされる分解能を達成するため、本発明によれば、さらにデジタルのパルス幅変調器DPWMの入力側に前置変調器が接続される。

* 入。入力データが安定であるように、アナログ-デジタル変換器の変換クロックがデジタルのパルス幅変調器DPWMのクロック信号CLKから分周器を介して導き出され、また変換器データがクロックエッジにより入力メモリの中に書き込まれるようにすると有利である。

【0055】原理的には、入力信号INを発生するアナログ-デジタル変換器で十分である。反転された入力信号N_INは、入力信号INの反転により得られる（図13参照）。アナログの入力信号IN_anaとならんで反転されたアナログの入力信号N_IN_anaを利用する場合には、2つのアナログ-デジタル変換器を設けてもよい。すなわちアナログの入力信号IN_anaに対する第1のアナログ-デジタル変換器および反転されたアナログの入力信号N_IN_anaに対する第2のアナログ-デジタル変換器を設ける。

【0056】図14で説明した変調器基本要素9では、理解を容易にするため、3つのビットの幅のみを仮定した。以下ではより実例的な応用例の際の分解能を調べる。パルス幅変調器DPWMにクロック発生器4から与えられるクロック信号CLKは、例えば40.96MHzである。カウンタ5のビット幅は10でなければならず、また供給電圧Upstは500Vでなければならない。終段Eのスイッチング周波数fは

$$f(\text{CLK}) / (2 \cdot 2^n) = 40.96\text{MHz} / 2048 = 20\text{kHz}$$

により与えられている。

【0057】以下の考察に対して、反転された入力信号N_INは、入力信号INの反転により得られる。

【0058】終段は、正または負の出力電圧を出力する。すなわち終段電圧U_eは最大で+Upstから-Upstである。それによって終段電圧U_eの電圧スパンは $2 \cdot U_{pst} = 1000V$ である。

【0059】入力信号IN、従ってまた駆動信号のパルス幅は、2ⁿの種々の状態をとり。従って終段電圧の分解能は $n=10$ の仮定されているビット幅の際には、

※に対して

【0063】以下、デジタルパルス幅変調器DPWMの出力信号の分解能を改善するための、3つの代替例を説明する。その際に、これら3つの代替例の少なくとも1つを実現する前置変調器に、アナログの入力信号が供給される。

【0064】図16および17により、3つの代替例中の第1の代替例を説明する。この代替例は、オフセットスタガリングによる入力信号INおよびN_INの数の上昇である。

【0065】デジタルの入力信号INならびに反転されたデジタルの入力信号N_INは、アナログの入力信号IN_anaまたはN_IN_anaから得られる。アナログの入力信号IN_anaは、その際第1のアナログ-デジタル変換器ADC1に供給される。アナログ入力信号N_INのアナログ反転により得られた、反転されたアナログ入力信号N_IN_anaは、第2のアナログ-デジタル変換器ADC2に供給される。反転されたデジタルの入力信号N_INは、それによってもはやデジタルの(すなわちビットバイビット)の反転された入力信号INに相当しない。なぜならば、第2のアナログ-デジタル変換器ADC2の(またはアナログの反転された入力信号N_IN_anaの)オフセットがLSB(最下位ビット)の半分だけずらされているからである(図16参照)。その際に、第1のアナログ-デジタル変換器ADC1のオフセットがずらされているか、第2のアナログ-デジタル変換器ADC2のオフセットがずらされているかは原理的にどちらでもよい。

【0066】アナログの入力信号IN_anaまたは反転されたアナログの入力信号N_IN_anaが変化すると、アナログ-デジタル変換器ADC1およびADC2の量子化ステップ(変換ステップ)は相異なる信号レベルに到達する。アナログの入力信号IN_anaが量子化ステップに到達すると、反転されたアナログの入力信号N_IN_anaがすぐ次の量子化ステップに(アナログの信号に相当する)0.5LSBの大きさだけ遅れて到達する。その結果として、スイッチング要素SE1およびSE2に対するパルス幅変調された制御信号S1およびS2ならびにスイッチング要素SE3およびSE4に対するパルス幅変調された制御信号S3およびS4は、もはやアナログの入力信号IN_anaの等*

$$\begin{aligned} dU_{min} &= k \cdot 2 \cdot U_{pst} / (k \cdot 2 \times 2^n) \\ &= 5 \cdot 1000V / (5 \cdot 2 \cdot 1024) = 0.488V \end{aligned}$$

である。

【0071】それにより、k=5の終段E1ないしE5の直列回路の際にも、個別終段の分解能が達成されている。しかしそのためには2・kのアナログ-デジタル変換器、すなわち各々の終段および各々のアナログの入力信号IN_anaまたはN_IN_anaに対して、それぞれアナログ-デジタル変換器が組み込まれていなければならない。

【0072】アナログ-デジタル変換器は正確に相前後して同調されないので、このオフセットシフトは全ての変換範囲にわたっては維持されない。しかし、誘導性負荷Lが勾配コイルであれば、すなわち電力増幅器が勾配増幅器であれば、電流保持のために非常に小さい出力電圧 $U_A = U_{e1} + U_{e2} + U_{e3} + U_{e4} + U_{e5}$ で既に十分である。なぜならば、負荷が主として誘導性負荷Lだからである。それによって、オフセットシフトは終段出力電

*しい値において変更されずに、交互に変更される。アナログの入力信号IN_anaが上昇する際には、例えば先ずパルス幅変調された制御信号S1およびS2のパルス幅が変更され、それに続いてパルス幅変調された制御信号S3およびS4のパルス幅が変更され、それに続いて再びパルス幅変調された制御信号S1およびS2のパルス幅が変更される(以下同様)。

【0067】図16から明らかなように、デジタルの入力信号INを発生する第1のアナログ-デジタル変換器ADC1の変調器段と、反転されたデジタルの入力信号N_INを発生する第2のアナログ-デジタル変換器ADC2の変調器段は、互いに0.5LSBだけずらされている。図17から、5つの終段E1ないしE5の変調器段がそれぞれ0.2LSBだけずらされていることは明らかである。

【0068】両方のアナログ-デジタル変換器の図16中に示されている量子化ステップでは、分解能はそれに伴って2倍良好である。即ち、 $dU_{min} = 2 \cdot U_{pst} / (2 \times 2^n) = 1000V / (2 \cdot 1024) = 0.488V$ 。

【0069】全体で2つのアナログ-デジタル変換器ADC1およびADC2を有し、k=5の終段を持つ直列回路では、 $dU_{min} = k \cdot 2 \cdot U_{pst} / (2 \times 2^n) = 5 \cdot 1000V / (2 \cdot 1024) = 2.441V$ となる。

【0070】しかしデジタルの入力信号INに対する全てのk=5の入力端および反転されたデジタルの入力信号N_INに対する全てのk=5の入力端を接続しないで、各々の信号を別々に固有のアナログ-デジタル変換器により求めるならば、図17中に示されている変換ステップのオフセットシフト時の分解能は

圧UA が零に等しい範囲の付近でのみ正確であれば十分である。

【0073】デジタルのパルス幅変調器DPWMの分解能を改善するための第2の可能性として、図18により説明する逆相ディザリングがある。

【0074】図18中に示されている前置変調器PM1には、アナログの入力信号IN_ana、ディザ信号U_dithおよびオフセット信号U_offsetが供給される。アナログの入力信号IN_anaと、同じくアナログの信号であるディザ信号U_dithとは加算器30に与えられる。加算器30の中でアナログのIN_anaおよびディザ信号U_dithからアナログの和入力信号IN_ana_su = IN_ana + U_dithが形成されて、第1のアナログ-デジタル変換器ADC1に供給される。

【0075】アナログの和入力信号IN_ana_su

は、同時にインバータ35に供給される。インバータ35は演算増幅器36および直列に接続された2つの抵抗 R_1 および R_2 を含んでいる。演算増幅器36のP入力端（非反転入力端、プラス符号）は接地点に接続されており、それに対して演算増幅器36のN入力端（反転入力端、マイナス符号）は抵抗 R_1 の脚点と接続されている。

【0076】演算増幅器36の中で、アナログの和入力信号 IN_anasu から反転されたアナログの入力信号 $N_IN_anal = -IN_ana - Udit h$ が形成される（増幅率 $V = -1$ ）。反転されたアナログの入力信号 N_IN_anal は加算器40に供給される。加算器40には、さらにオフセット信号 $Uoffset$ が供給される。反転されたアナログの入力信号 N_IN_anal およびオフセット信号 $Uoffset$ から、加算器40の中で反転されたアナログの和の入力信号 $N_IN_anasul = N_IN_anal + Uoffset = -IN_ana - Udit h + Uoffset$ が形成される、それが第2のアナログ-デジタル変換器ADC2に供給される。

【0077】第1のアナログ-デジタル変換器ADC1の中で、アナログの和の入力信号 N_IN_anasu からデジタルのバルス幅変調器DPWMに対するデジタルの入力信号 IN が形成される。第2のアナログ-デジタル変換器ADC2の中で反転されたアナログの和の入力信号 N_IN_anasul から反転されたデジタルの入力信号 N_IN1 が形成され、それが入力信号 N_IN としてデジタルのバルス幅変調器DPWMに供給される。

【0078】瞬間的にディザ信号 $Udit h$ が正の際には、デジタルの入力信号 IN はより大きく、また反転されたデジタルの入力信号 N_IN1 はより小さく、このことは出力電圧の上昇に通ずる。

【0079】第1のアナログ-デジタル変換器ADC1または第2のアナログ-デジタル変換器ADC2に供給される信号が、当該のアナログ-デジタル変換器の量子化ステップ（変換ステップ）の間に位置する場合には、この信号の変換ステップをまさに超過する部分には、スイッチング要素SE1ないしSE4に対する制御信号S1ないしS4のバルス幅変調に寄与しない。逆相ディザリングにより、すなわちアナログの入力信号 IN_ana にディザ信号 $Udit h$ （小さい交流信号）を重ねるならば、時によってはアナログ-デジタル変換器ADC1、ADC2のすぐ次の変換ステップが始まる。すぐ次の変換ステップの始まりは、バルス幅変調された制御信号S1ないしS4において、バルス幅のすぐ次のステップが開始され、またそれによって当該の終段E1ないしE5において当該の終段電圧 U_{e1} ないし U_{e5} のすぐ次のステップが開始されることに通ずる。

【0080】こうして、長い時間にわたり平均化され

て、当該の終段E1ないしE5のバルス幅変調された制御信号S1ないしS4のバルス幅に対して、量子化されていない駆動に相当する値が生ずる。ディザ信号 $Udit h$ は、その際少なくとも1つのLSBステップ（最下位ビット）に相当する振幅を有するように選ばれる。

【0081】図20はこれらの先に説明した作用を、ディザ信号 $Udit h$ が信号 IN および N_IN1 の際に、それぞれバルス幅をバルスエッジあたり1LSB（またはCLK周期）だけ高めるという仮定のもとに示す。実線はディザ信号 $Udit h$ なしのバルス幅に相当する。ディザ信号 $Udit h$ の瞬時の値による信号 IN および N_IN1 の変化は、破線により示されている（ディザ信号 $Udit h$ ありの信号のバルス幅）。

【0082】オフセット段階付けにより変換器の分解能を細かくすること（バルス幅変調された制御信号S1ないしS4の分解能を高めるための図16および図17による第1の代替例）は、直ちに終段電圧 U_{e1} ないし U_{e5} に通ずるが、逆相ディザリングは多くのスイッチングクロックにわたり平均化されて作用する。例えばバルス幅変調された制御信号において、1度その次の高いバルス幅に到達し、3度続いて到達せず、次いで再びその次の高いバルス幅に到達し、また続いて3度相前後して到達しない場合には（以下同様）、終段電圧 U_{e1} は平均的にLSB（最も小さい変換器ステップまたはバルス幅変調された制御信号S1ないしS4における最も小さいバルス幅変化または分解能 d_{min} ）の0.25倍だけ高められる。

【0083】アナログ-デジタル変換器ADC1およびADC2に存在し得る非直線性に基づき、ディザ信号 $Udit h$ は、特定の応用の際に、多くのLSBステップにおいて大きく選ばれる。図18で説明する逆相ディザリングの際に、このことは、ディザ信号 $Udit h$ に相応して終段E1ないしE5の相応の出力電圧が発生されることに通ずる。これを最小化するため、以下で同相ディザリングと呼ぶ、図19中に示した第3の代替例を応用する。

【0084】図19中に示されている前置変調器PM2には、再びアナログの入力端信号 IN_ana 、ディザ信号 $Udit h$ およびオフセット信号 $Uoffset$ が供給される。アナログの IN_ana と、同じくアナログの信号であるディザ信号 $Udit h$ とは加算器45に与えられる。加算器45の中でアナログの入力信号 IN_ana およびディザ信号 $Udit h$ から、アナログの和の入力信号 $IN_anasu = IN_ana + Udit h$ が形成され、第1のアナログ-デジタル変換器ADC1に供給される。

【0085】アナログの入力信号 IN_ana は、同時にインバータ50に供給される。インバータ50は再び演算増幅器36および直列に接続されている2つの抵抗 R_1 および R_2 を含んでいる。演算増幅器36のP入力端

(非反転入力端、プラス符号)は接地点に接続され、それに対して演算増幅器36のN入力端(反転入力端、マイナス符号)は抵抗 R_1 の脚点と接続されている。

【0086】演算増幅器36の中で、アナログの入力信号 IN_ana から反転されたアナログの入力信号 $N_IN_ana2 = -IN_ana$ が形成される(増幅率 $V = -1$)。反転されたアナログの入力信号 N_IN_ana2 は加算器55に供給される。加算器55にはさらに、ディザ信号 U_dith およびオフセット信号 U_offset が供給される。反転されたアナログの入力信号 N_IN_ana2 、ディザ信号 U_dith およびオフセット信号 U_offset から加算器55の中で反転されたアナログの和の入力信号 $N_IN_anasu2 = -IN_ana + U_dith + U_offset$ が形成される、それが第2のアナログ-デジタル変換器ADC2に供給される。

【0087】第1のアナログ-デジタル変換器ADC1の中で、アナログの和の入力信号 IN_anasu からデジタルのパルス幅変調器DPWMに対するデジタルの入力信号 IN が形成される。第2のアナログ-デジタル変換器ADC2の中で反転されたアナログの和の入力信号 N_IN_anasu2 から反転されたデジタルの入力信号 N_IN2 が形成され、入力信号 N_IN としてデジタルのパルス幅変調器DPWMに供給される。

【0088】図19による変形例の説明から明らかなように、信号 IN (ADC1)および信号 N_IN2 (ADC2)のためのアナログ-デジタル変換器に、等しい(N_IN2 において反転された)信号が供給されなくてよい。なぜならば、供給された信号は分解能を高めるためだけのものだからである。分解能の上昇は同じく、ディザ信号 U_dith が IN_ana に前記のように加算され、またディザ信号 U_dith が N_IN_ana2 から差し引かれずに(図18参照)、同じく加算されるように供給されるときに生ずる。

【0089】図21は、前記のようにスイッチング要素SE1のスイッチオン継続時間が高められ、それに対してスイッチング要素SE4のスイッチオン継続時間は等しい度合いで減少することを示す。スイッチング要素SE1およびSE4が同時にスイッチオンされているときに生ずる、出力電圧におけるパルスは、もはや均等な間隔では生じないが、その代わりに出力電圧は平均的にスイッチング周期にわたり変化しない。

【0090】終段電圧の最大の変化は、2つのアナログ-デジタル変換器のオフセットシフトによりアナログ-デジタル変換器のみがその値を変化するときを生ずる。これは変調における0.5LSBに相当する。その結果として、同相ディザリングのためのディザ信号 U_dith は、種々のLSB(理論的にはほぼ任意)の大きさであってよく、最大値0.5LSBについての注目

に値する。同相ディザリングは簡単な変調(スイッチング要素SE1およびSE4が閉じられ、次いでスイッチング要素SE2およびSE3が閉じられ、次いで再びスイッチング要素SE1およびSE4が閉じられ、以下同様)の際にはこの利点を提供せず、逆相ディザリングはもちろんここでも有効に作用する。

【0091】図19および21中で説明した変形例は、“同相ディザリング”と呼ばれる。なぜならば、スイッチング終段Eの上側および下側のスイッチング要素のスイッチオン継続時間が、変更された同相電圧が終段出力端に生ずるようにずれているからである。

【0092】同相ディザリングのための前提は、少なくとも2つのアナログ-デジタル変換器が、即ちデジタルの入力信号 IN に対して1つが、そして反転されたデジタルの入力信号 N_IN2 に対してもう1つが、それぞれ設けられていることである。

【0093】ディザ信号 U_dith のピーク-ピーク振幅は、少なくともLSBの大きさであるべきである。またエッジ急峻度および振幅は、デジタルのパルス幅変調器DPWMが、往復跳躍状態となることを可能にしない大きさであるべきである。

【0094】例：デジタルのパルス幅変調器DPWM中のカウンタは、 $25\mu s$ のうちに“000...00”から“111...11”へ進む。アナログの入力信号 IN_anasu (ADC1)の全変調は $\pm 10V$ である。ディザ信号 U_dith のエッジ急峻度の限界は、それに伴い $20V/25\mu s$ である。ディザ信号 U_dith が相応の振幅において、より速いまたはより急峻であれば、それは直接にパルス幅変調を引き起こす。

【0095】デジタルのパルス幅変調器DPWMは、少ないCLK周期の中の信号 IN および N_IN の変化に反応する。すなわちCLK周期は、クロック信号 $CLK \geq 10MHz$ の際、1マイクロ秒よりも明らかに少ない。時間的な隘路はアナログ-デジタル変換器である。アナログの調節ループの中にデジタルのパルス幅変調器DPWMを組み入れる際には、時間的な遅れが過大にならないように、またこうして調節特性が悪化しないように、例えば1MHzの変換レートが必要である。一般に変換周波数は、終段スイッチングクロックの少なくとも2倍であるべきである。なぜならば、1つの終段スイッチングクロックあたり2つのパルスが出力電圧に生じ、それらが相異なって変調されるからである。

【0096】デジタルの駆動の際、信号 IN および N_IN はデジタル形態で存在し、それらは1つのアナログの信号からアナログ-デジタル変換器により得られなくてよい。例えば信号プロセッサによる駆動の際には、オフセット信号Oに相当する U_offset またはディザ信号Dに相当する U_dith の加算が可能になるように、計算分解能はデジタルのパルス幅変調器DPWMのビット分解能よりも高く選ばれる。

【0097】ディザ信号Dに相当するU d i t hは、例えばデジタルのバルス幅変調器DPWMの少なくとも1つのLSBステップが到達されるように、ピーク-ピーク振幅を有するシミュレートされた正弦または三角関数であってよい。ディザ信号として“ノイズ”を利用する場合には、ディザ信号は、その最大の高さが少なくとも変調器LSBである乱数により発生される。

【0098】計算された信号IN_reがその値範囲の限界“000...00”または“111...11”に到達すると、全変調が可能であるように、オフセット信号U o f f s e tおよびディザ信号U d i t hの加算が終結される。

【0099】以下の例ではデジタルのバルス幅変調器DPWMに対して10ビット

x x x x x x x x x x
のビット分解能が採用される。

【0100】計算された信号IN_re (14ビット)は、

0 1 1 1 0 1 1 0 0 0 0 0 1 1

であり、またディザ信号D (14ビット)の瞬時の値は
0 0 0 0 0 0 0 0 0 1 1 1 0 0
である。

【0101】計算された信号IN_reおよびディザ信号Dからの和信号IN_SU_reは、

0 1 1 1 0 1 1 0 0 1 0 0 0 1

となる。

【0102】デジタルの入力信号INは、その場合に、

0 1 1 1 0 1 1 0 0 1

である。

【0103】計算された信号IN_reに対して反転された入力信号N_IN_reはその場合に値、

1 0 0 0 1 0 0 1 1 1 0 0

をとる。

【0104】同相ディザリングの際にはディザ信号Dは、

0 0 0 0 0 0 0 0 0 1 1 1 0 0

であり、またオフセット信号Oは、

0 0 0 0 0 0 0 0 0 0 1 1 1

である。

【0105】反転され、計算された入力信号N_IN_re、ディザ信号Dおよびオフセット信号Oからの和入力信号N_IN_SU_reは、それに伴い、

1 0 0 0 1 0 1 0 0 1 0 0 0 1

となり、従って反転された入力信号N_INに対して、

1 0 0 0 1 0 1 0 0 1

が得られる。

【0106】和入力信号IN_SU_reおよびN_IN_SU_reは、“000...00”ないし“111...11”の範囲、すなわちIN_reの値範囲に

制限する必要がある。

【0107】従って原理的には、アナログ駆動の際と同様に、純粋にデジタル駆動の際にも、オフセットによる段階付け、逆相ディザリングおよび同相ディザリングのような前記の改善が可能である。

【図面の簡単な説明】

【図1】スイッチング終段の回路図。

【図2】電流立ち上がりの際および電流保持の際の図1によるスイッチング終段の種々のスイッチング状態。

【図3】電流立ち上がりの際および電流保持の際の図1によるスイッチング終段の種々のスイッチング状態。

【図4】電流立ち上がりの際および電流保持の際の図1によるスイッチング終段の種々のスイッチング状態。

【図5】電流立ち上がりの際および電流保持の際の図1によるスイッチング終段の種々のスイッチング状態。

【図6】電流立ち上がりの際および電流保持の際の図1によるスイッチング終段の種々のスイッチング状態。

【図7】電流立ち上がりの際の図1によるスイッチング終段の種々のスイッチング状態。

【図8】電流立ち上がりの際の図1によるスイッチング終段の種々のスイッチング状態。

【図9】電流立ち上がりの際の図1によるスイッチング終段の種々のスイッチング状態。

【図10】電流立ち上がりの際の図1によるスイッチング終段の種々のスイッチング状態。

【図11】電流立ち上がりの際の図1によるスイッチング終段の種々のスイッチング状態。

【図12】5つのスイッチング終段を有する電力増幅器の概要回路図。

【図13】本発明によるバルス幅変調器に適しているデジタルのバルス幅変調器の原理図。

【図14】本発明によるバルス幅変調器の変調器基本要素。

【図15】図14による変調器基本要素のスイッチング挙動。

【図16】本発明による前置変調器の第1の実施例により達成可能な量子化ステップ。

【図17】本発明による前置変調器の第1の実施例により達成可能な量子化ステップ。

【図18】本発明による前置変調器の第2の実施例

【図19】本発明による前置変調器の第3の実施例

【図20】図18による前置変調器におけるデジタルのバルス幅変調器のスイッチング挙動。

【図21】図19による前置変調器におけるデジタルのバルス幅変調器のスイッチング挙動。

【符号の説明】

1、2 接続線

3 変調器基本要素

4 クロック発生器

5 カウンタ

9 変調器基本要素

30 加算器

35 インバータ

36 演算増幅器

40 加算器

45 加算器

50 インバータ

55 加算器

61、62 コンパレータ

71、72 フリップフロップ

ADC1 第1のアナログ-デジタル変換器

ADC2 第2のアナログ-デジタル変換器

C コンデンサ

CLK クロック信号

D ディザ信号に対する計算値

DPWM デジタルのバース幅変調器

E、E1～E5 スイッチング終段

E1S1～E5S4 スイッチング終段E1(E5)の
スイッチング要素SE1(SE4)の制御信号S1(S
4)に対する出力端

IN デジタルの入力信号

IN_ana アナログの入力信号

IN_anasu アナログの和入力信号

IN_re バース幅変調に対する計算された値

IN_SU_re 信号INを形成するためのバース幅
変調に対する計算された和値

I0、I1、I2 入力信号INの値

I>Z、I<Z コンパレータ6または61または62
の出力端

k スイッチング終段の数

L 誘導性の負荷(勾配コイル)

MOD_ON 変調器リリース信号

n カウンタのビット幅

N_IN 反転されたデジタルの入力信号

N_IN1、N_IN2 反転されたデジタルの入力
信号

N_IN_ana 反転されたアナログの入力信号

N_IN_ana1 反転されたアナログの入力信号

N_IN_ana2 反転されたアナログの入力信号

N_IN_anasu1 反転されたアナログの和入力
信号N_IN_anasu2 反転されたアナログの和入力
信号N_IN_re バース幅変調に対する反転され、計算
された値N_IN_SU_re 信号N_INを形成するための
バース幅変調に対する計算された和値

NULL カウンタ5の出力端

O オフセット信号に対する計算値

PHASE 位相信号

PM1、PM2 前置変調器

PR プリロード入力端またはプリセット入力端

10 PR2、Z1、Z0 ワードSAFEの値(プリロード
データ)

QA、QB スイッチング終段の出力端

R_i、R_s 抵抗

SAFE 信号

S1～S4 スイッチング要素SE1またはSE2また
はSE3またはSE4に対するバース幅変調された制御
信号S1_MOD スイッチング要素SE1を駆動するた
めの変調器基本要素9の出力信号20 S2_MOD スイッチング要素SE2を駆動するた
めの変調器基本要素9の出力信号S3_MOD スイッチング要素SE3を駆動するた
めの変調器基本要素9の出力信号S4_MOD スイッチング要素SE4を駆動するた
めの変調器基本要素9の出力信号

SE1～SE4 スイッチング要素

SE1SE4OFF スイッチング要素SE1およびS
E4に対するスイッチオフ信号30 SE2SE3OFF スイッチング要素SE2およびS
E3に対するスイッチオフ信号

SOFTSTOP スイッチオフ信号

t_s 安全時間U_A 出力電圧U_E 終段電圧U_{E1}～U_{E5} 終段電圧U_{dith} ディザ信号U_{offset} オフセット信号U_{pst} 供給電圧U_{pst1}～U_{pst5} 供給電圧

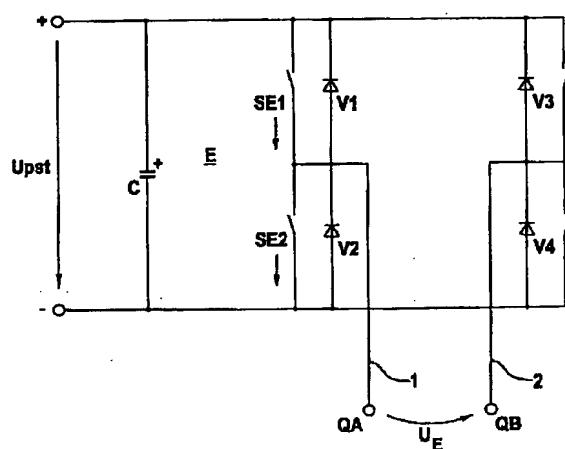
V1～V4 フリーホイーリングダイオード

Z カウンタ状態(カウンタ5)

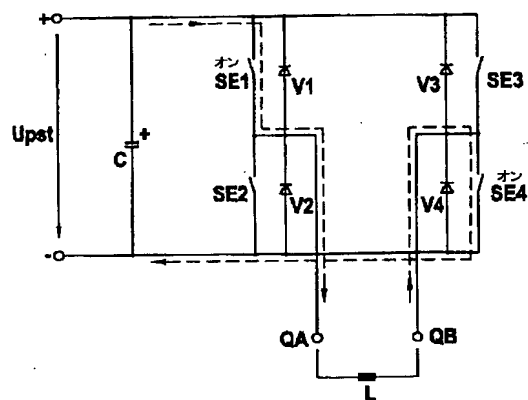
Z0、Z1、Z2 カウンタ状態Zの値

ZS 追加的なカウントステップ

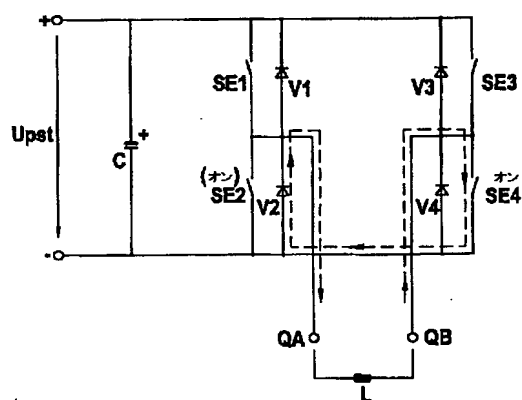
【図 1】



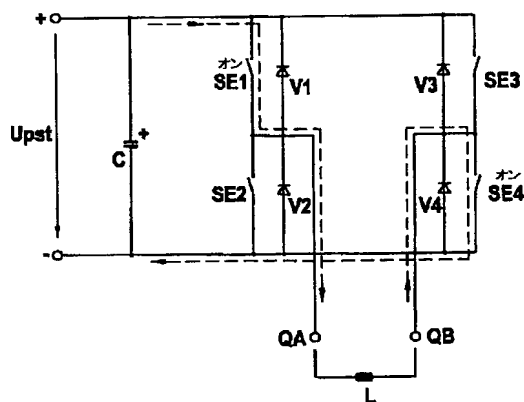
【図 2】



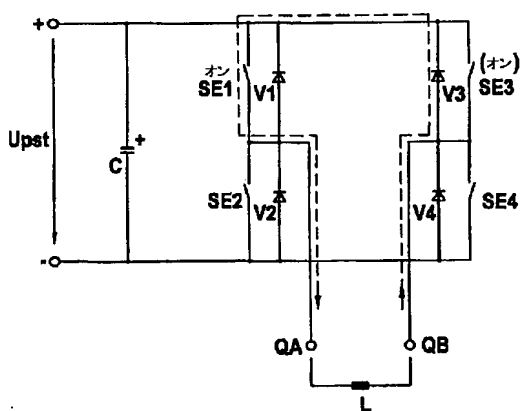
【図 3】



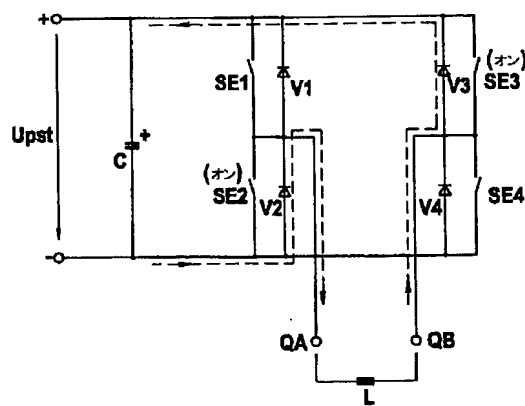
【図 4】



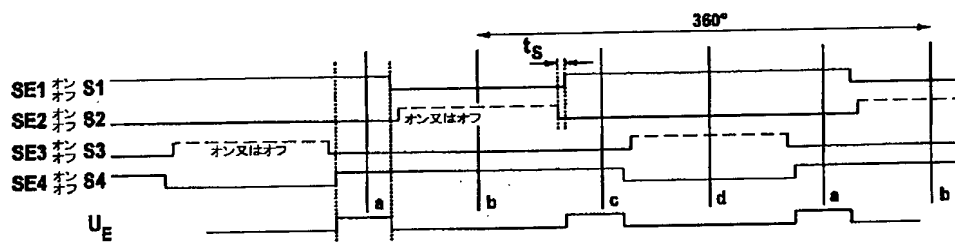
【図 5】



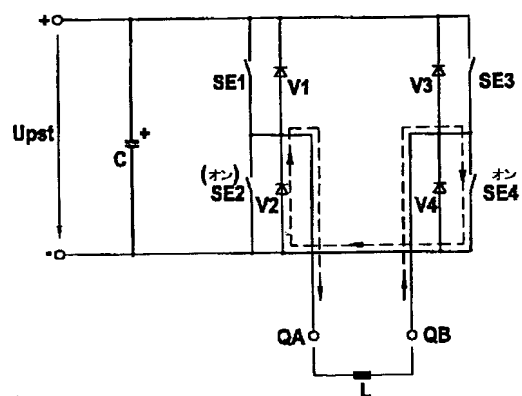
【図 7】



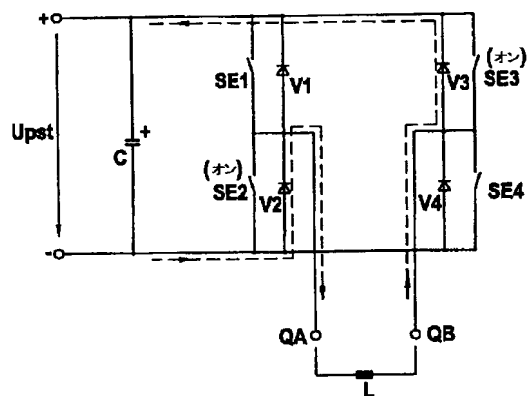
【図6】



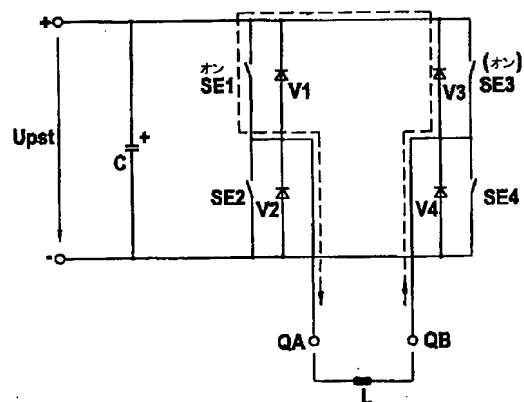
【図8】



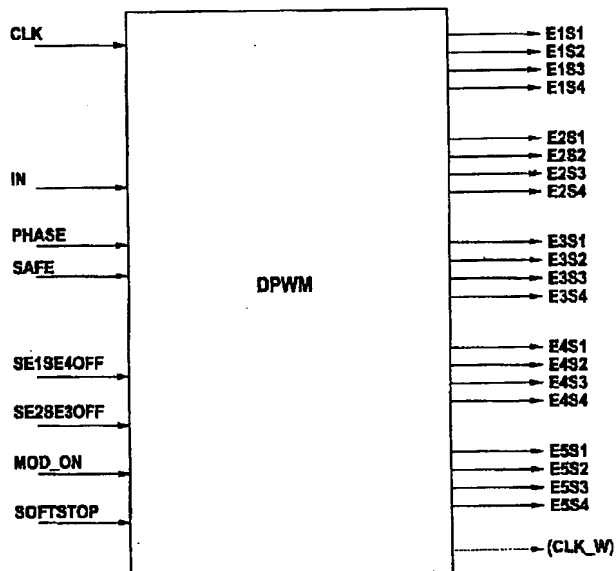
【図9】



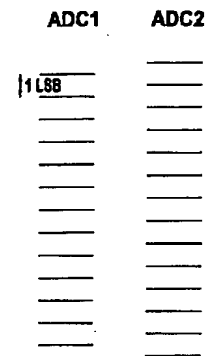
【図10】



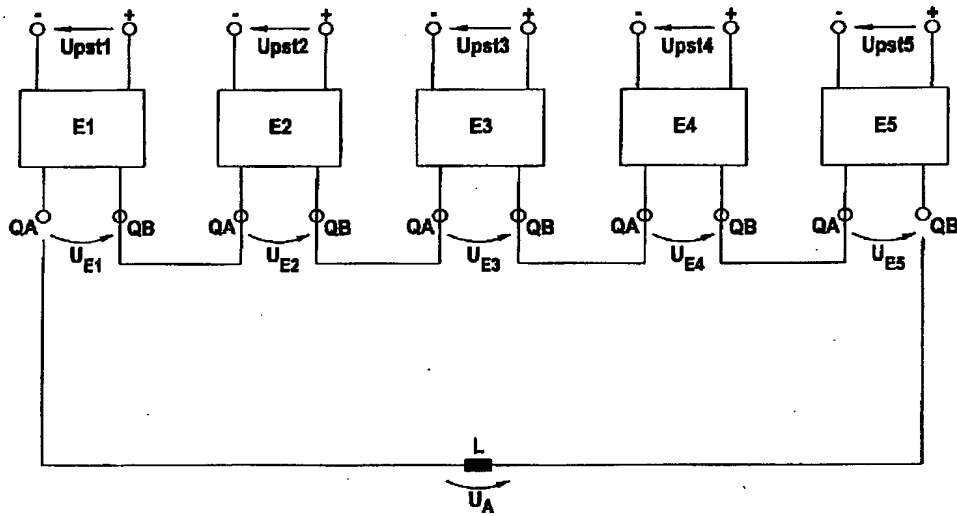
【図13】



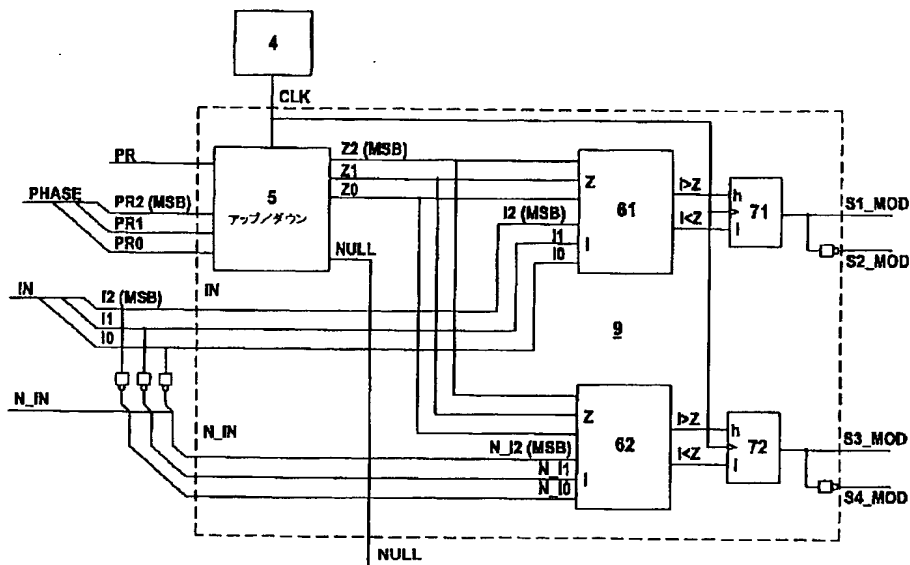
【图 16】



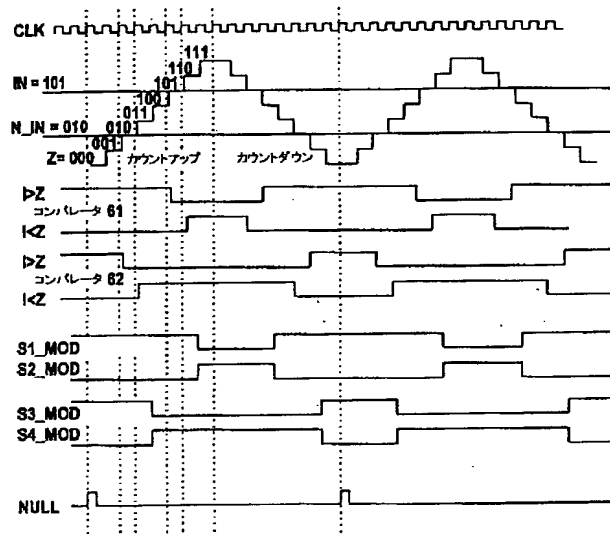
【図 12】



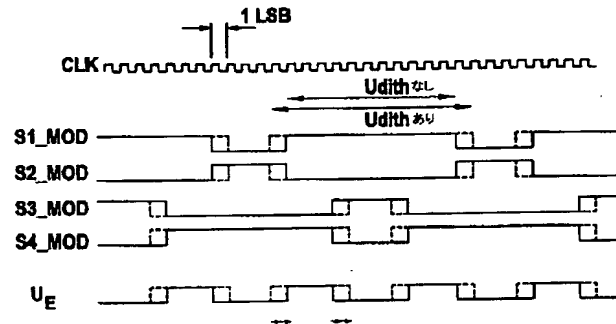
【圖 14】



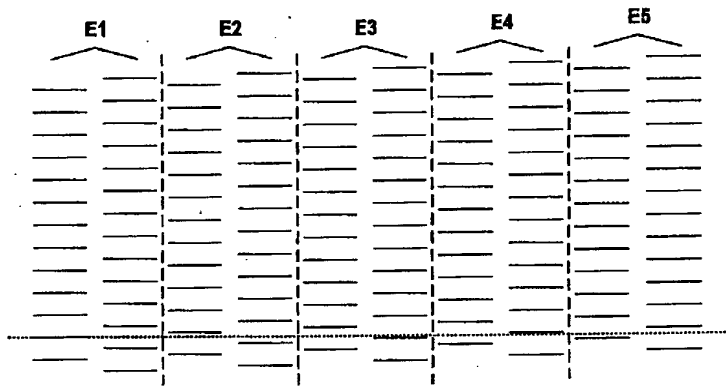
【図15】



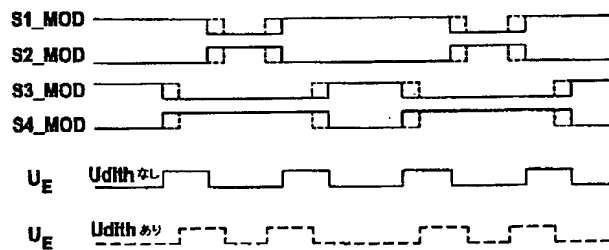
【図20】



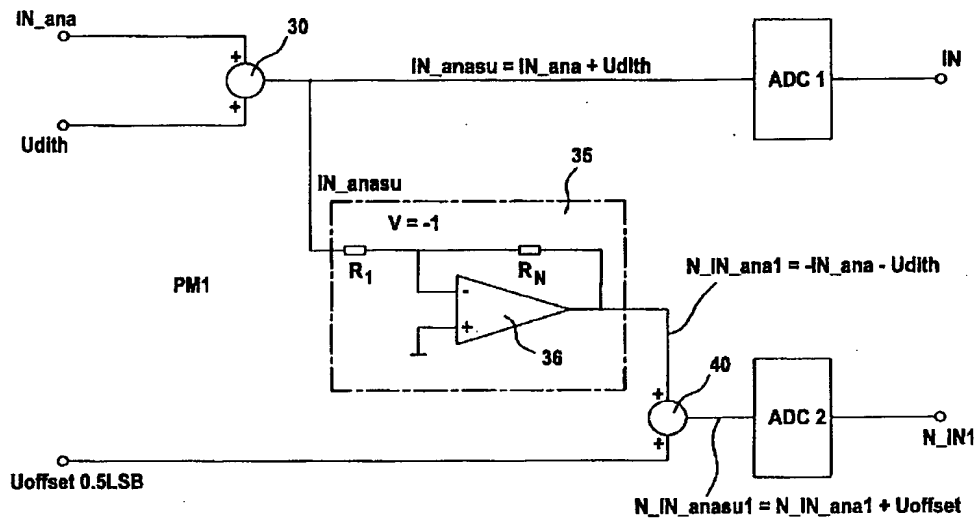
【図17】



【図21】



【図 18】



【図 19】

